

ERROR PROCESSING SYSTEM FOR BUS EXTENSION CONTROLLER

Patent Number: JP7098675
Publication date: 1995-04-11
Inventor(s): KATAGIRI YOSHIHIKO
Applicant(s): SHIKOKU NIPPON DENKI SOFTWARE KK
Requested Patent: ☐ JP7098675
Application Number: JP19930241885 19930929
Priority Number(s):
IPC Classification: G06F13/00; G06F13/36
EC Classification:
Equivalents:

Abstract

PURPOSE:To shorten a delay time at the time of receiving an access request to an extended bus from a central processing unit, and activating an extended bus cycle by a bus extension controller.

CONSTITUTION:When the abnormality of the request address of a common bus address line 11 is not detected, a bus timing converting part 40 operates an address signal interface 10 and a control signal interface 30 without waiting the error check of write data, and activates the extended bus cycle. When the error of write data is detected by an error detecting part 50, a write designation from the bus timing converting part 40 is converted into a read designation by a read/write converting part 60, and outputted to an extended bus read/write control line 32, while a data signal interface 20 is interrupted. Thus, an access which is originally write can be converted into read, and the writing of the error data can be prevented. When the error is not detected, the write cycle is started as it is, and a delay until the extended bus cycle is started is shortened.

Data supplied from the esp@cenet database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-98675

(43) 公開日 平成7年(1995)4月11日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 13/00	3 0 1 D			
13/36	5 2 0 C	8944-5B		

審査請求 未請求 請求項の数 1 O L (全 12 頁)

(21) 出願番号 特願平5-241885

(22) 出願日 平成5年(1993)9月29日

(71) 出願人 000180379

四国日本電気ソフトウェア株式会社

愛媛県松山市衣山4丁目760番地

(72) 発明者 片桐 慶彦

愛媛県松山市衣山四丁目760番地 四国日

本電気ソフトウェア株式会社内

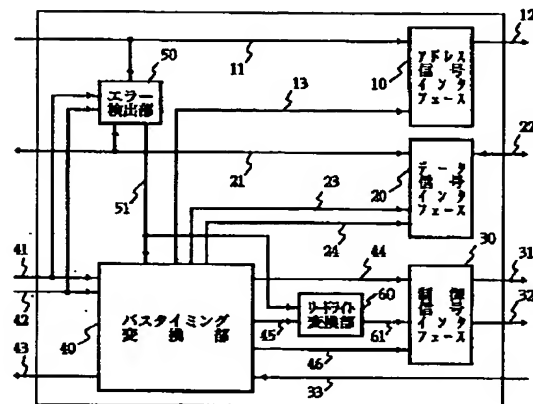
(74) 代理人 弁理士 京本 直樹 (外2名)

(54) 【発明の名称】 バス拡張制御装置のエラー処理方式

(57) 【要約】

【目的】 中央処理装置から拡張バスに対するアクセス要求を受け、バス拡張制御装置が拡張バスサイクルを起動する際の遅延時間を短くする。

【構成】 バスタイミング変換部40は、共通バスアドレス線11のリクエストアドレスに異常がなければ、ライトデータのエラーチェックを待たずアドレス信号インタフェース10、制御信号インタフェース30を動作させ、拡張バスサイクルを起動する。エラー検出部50がライトデータのエラーを検出すると、データ信号インタフェース20を遮断したまま、リードライト変換部60がバスタイミング変換部40からのライト指定をリード指定に変換し、拡張バスリード/ライト制御線32に出力する。これにより本来ライトであるアクセスはリードに変換され、エラーデータの書き込みは防止される。エラーがなければ、そのままライトサイクルが開始され、拡張バスサイクルを起動するまでの遅れが短くなる。



11 共通バスアドレス線
12 拡張バスアドレス線
13 アドレス出力制御線
21 共通バスデータ線
22 拡張バスデータ線
23 データ出力制御線
24 データ出力制御線
31 共通バス制御線
32 拡張バスリード/ライト制御線
33 拡張バスリード/ライト制御線
41 共通バスサイクル開始制御線
42 共通バスサイクル終了制御線
43 拡張バスリード/ライト制御線
44 拡張バスリード/ライト制御線
45 拡張バスリード/ライト制御線
46 拡張バスリード/ライト制御線
51 エラー検出信号線
60 リードライト変換部
61 リードライト変換部

【特許請求の範囲】

【請求項 1】 拡張バスに接続されている入出力装置や記憶装置に対する中央処理装置からのアクセス要求を中継する同期式のバス拡張制御装置のエラー処理方式において、前記中央処理装置から受け取ったアドレスにエラーが検出されなければ前記アドレスを前記拡張バスに転送して拡張バスサイクルを開始し、前記アドレスに続き前記中央処理装置から受け取ったライトデータにエラーを検出した場合は、前記ライトデータの前記拡張バスへの転送を抑止したまま前記ライトデータと共に受け取ったライト指定をリード指定に変換して出力し、前記拡張バスサイクルをリードサイクルとして終了させることを特徴とするバス拡張制御装置のエラー処理方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はバス拡張制御装置のエラー処理方式に関し、特に拡張バスに接続された入出力装置や記憶装置に対する中央処理装置からのアクセス要求を中継する際に発生したエラーに対するバス拡張制御装置のエラー処理方式に関する。

【0002】

【従来の技術】 図 4 は、拡張バスを使用した情報処理装置の一般的な構成を示すブロック図である。中央処理装置 1、主記憶装置 2 及びバス拡張制御装置 3 が共通バス 5 に接続され、拡張バス 6 に接続された入出力装置または記憶装置 4 に対するアクセスは、バス拡張制御装置 3 を介して行われる。

【0003】 共通バス 5 は、アドレス線、データ線と、バスサイクル開始指定、リード／ライト指定、バスサイクル終了指定（バス制御信号という）を伝達する各制御線とから成り、ライトサイクル及びリードサイクルに対応して、それぞれ単相クロックに同期して図 5 に示すような動作をする同期式バスである。

【0004】 データの読み出し（リード）又は書き込み（ライト）を行う場合、中央処理装置 1 から、T1 タイミングに、リクエストアドレスがアドレス線に、バスサイクル開始を示す“0”がバスサイクル開始制御線に出力され、続いて T2 タイミングには、リード／ライト制御線にリード又はライトの指定に対応して、それぞれ“1”又は“0”が出力される。各制御線は、“0”と“1”とハイインピーダンスの 3 状態をとり得るが、リード／ライト制御線はバスサイクル開始が指示された時点で、リード指定に対応する“1”の状態に設定される。又、バスサイクルの開始処理が終了すると、バスサイクル開始制御線およびバスサイクル終了制御線は、T2 タイミングに共にバスサイクル中を示す“1”の状態となる。

【0005】 T3 タイミングにおいて、バスサイクル終了を指示する“0”がバスサイクル終了制御線に出されると、T4 タイミングにバスサイクルが終了する。この

間、ライトサイクルの場合は、T2 タイミングから T4 タイミングまでライトデータをデータ線に出力し、リードサイクルの場合は、T3 タイミングから T4 タイミングまでの間にデータ線上のリードデータを読み込む。なお、バスサイクル終了制御線に“1”を出し続けることにより、バスサイクルを継続させる（Tw で表す期間）ことができる。

【0006】 従来のバス拡張制御装置のエラー処理方式は、拡張バスに接続されている入出力装置または記憶装置に対するアクセス要求を中継する際、中央処理装置から受け取ったアドレス、データ等の必要情報中にエラーを検出すると、バス拡張制御装置は拡張バスに出力すべきアクセス要求を抑止する動作を行っている。

【0007】 図 6 は、従来のバス拡張制御装置の構成を示すブロック図である。図 6 において、アドレス信号インタフェース 10 は、共通バスアドレス線 11 からリクエストアドレスを受け取り、拡張バスアドレス線 12 に出力する動作をする。なお、アドレス信号インタフェース 10 の動作はアドレス出力制御線 13 によって制御される。データ信号インタフェース 20 は、共通バスデータ線 21 からデータを受け取って拡張バスデータ線 22 に出力する動作と、拡張バスデータ線 22 からデータを受け取って共通バスデータ線 21 に出力する動作をする。データ信号インタフェース 20 は双方向インタフェースであり、データ転送方向および出力制御は、データ方向制御線 24 及びデータ出力制御線 23 によってそれぞれ行われる。制御信号インタフェース 30 は、バスタイミング変換部 40 a からのバス制御信号を拡張バスに出力するインタフェースであり、開始指定中継線 44 を介して受け取った拡張バスサイクル開始指定を拡張バスサイクル開始制御線 31 に、リード／ライト中継線 45 a を介して受け取った拡張バスリード／ライト指定を拡張バスリード／ライト制御線 32 に出力する動作をする。なお、制御信号インタフェース 30 の出力制御は制御信号出力制御線 46 によって行われる。

【0008】 バスタイミング変換部 40 a は、バス制御信号の伝達タイミングを調整すると共に各インタフェースに制御信号を出力する制御部であり、共通バスサイクル開始制御線 41、共通バスリード／ライト制御線 42 及び拡張バスサイクル終了制御線 33 から、それぞれ共通バスサイクル開始指定、共通バスリード／ライト指定および拡張バスサイクル終了指定を受け取り、拡張バスサイクル開始指定、拡張バスリード／ライト指定および共通バスサイクル終了指定に変換し、開始指定中継線 44、リード／ライト中継線 45 a 及び共通バスサイクル終了制御線 43 に出力する。それと同時に、アドレス出力制御線 13、データ出力制御線 23 及び制御信号出力制御線 46 に対し、それぞれ信号の転送を行う場合に“0”を、転送を行わない場合には“1”を出力し、データ方向制御線 24 にはリード／ライトに対応して

3

“0”及び“1”を出力する。

【0009】エラー検出部50は、共通バスアドレス線11及び共通バスデータ線21から受け取ったアドレス及びデータの正当性をチェックする検出部で、エラーを検出した場合には、エラー検出信号線51に“0”（正常時は“1”）を出力してバスタイミング変換部40aに通知する。

【0010】次に、図6に示した従来のバス拡張制御装置の動作を説明する。まず最初に、中央処理装置からのライト要求に対し、バス拡張制御装置がライトデータ中のエラーを検出した場合のエラー処理動作について説明する。

【0011】図7は、この場合のバス拡張制御装置のエラー処理動作の波形図である。t1タイミングに、共通バスアドレス線11にリクエストアドレスが、共通バスサイクル開始制御線41にバスサイクル開始を指示する“0”が入力され、t2タイミングに、共通バスデータ線21にライトデータが、共通バスリード／ライト制御線42にライト指定の“0”が入力される。エラー検出部50は、t2タイミングまでに共通バスアドレス線11から受け取ったリクエストアドレスのエラーチェックを行い、t3タイミングまでに共通バスデータ線21から受け取ったライトデータのエラーチェックを行う。エラー検出部50がライトデータのエラーを検出すると、t3タイミングにおいて、エラー検出信号線51に“0”を出力してバスタイミング変換部40aに通知する。これを受けると、バスタイミング変換部40aは、アドレス出力制御線13、データ出力制御線23、制御信号出力制御線46に“1”を出力し続ける動作をする。これにより拡張バスに対するバスサイクルの起動が行われず、中央処理装置からのライト要求が抑止されることになる。続いてt4タイミングにおいて、共通バスサイクル終了指定として共通バスサイクル終了制御線43に“0”を出力し、共通バスのライトサイクルを終了させる。この間、データ方向制御線24には変化がなく、それまでの状態を維持する。図中に示す実線は前の状態がライトの場合を、破線は前の状態がリードの場合を表している。

【0012】続いて、中央処理装置から連続したライト要求があり、各ライトサイクルが正常に動作した場合の動作を、図8の波形図に従って説明する。

【0013】u1タイミングに、共通バスアドレス線11にリクエストアドレスが、共通バスサイクル開始制御線41に“0”が入力され、続いてu2タイミングに、共通バスデータ線21にライトデータが、共通バスリード／ライト制御線42にライト指定の“0”が入力される。エラー検出部50は、上述したように、u2タイミングまでにリクエストアドレスのエラーチェックを、u3タイミングまでにライトデータのエラーチェックを行う。

4

【0014】エラーを検出しなかった場合は、エラー検出部50はエラー検出信号線51に“1”を出力し続ける。この場合、バスタイミング変換部40aは、u3タイミングに出力されるエラー検出信号を確認してから動作するため、u4タイミングにアドレス出力制御線13及び制御信号出力制御線46に“0”を出力し、拡張バスアドレス線12にリクエストアドレスを、拡張バスサイクル開始制御線31に開始指定中継線44を介して拡張バスサイクル開始を指示する“0”を駆動する。このとき、拡張バスリード／ライト制御線32には、リード／ライト中継線45aを介してリード指定に当たる“1”が出力される。続いてu5タイミングには、データ方向制御線24に“1”を、データ出力制御線23に“0”をそれぞれ出力し、拡張バスデータ線22にライトデータを、拡張バスリード／ライト制御線32にライト指定の“0”を出力し、拡張バスにおける書き込み処理が可能となる。このとき、拡張バスサイクル終了制御線33はバスサイクル中を示す“1”の状態に保持される。

【0015】拡張バスにおける書き込みが終了し、u7タイミングにおいて、バスタイミング変換部40aが拡張バスサイクル終了制御線33から拡張バスサイクル終了指定の“0”を受け取ると、u8タイミングにおいて、アドレス出力制御線13、データ出力制御線23及び制御信号出力制御線46に“1”を出力し、拡張バスアドレス線12、拡張バスデータ線22、拡張バスサイクル開始制御線31、拡張バスリード／ライト制御線32に対する拡張バス信号の駆動を中止し、共通バスサイクル終了制御線43に共通バスサイクル終了指定である“0”を出力して共通バスのライトサイクルを終了させる。

【0016】引き続き、uAタイミングから共通バスに対するライトサイクルが開始されると、上述したタイミングで拡張バスにライトサイクルを発生することになる。

【0017】以上がライトサイクルが正常に動作した際の従来の拡張バス制御装置の動作説明であるが、前述したように従来のエラー処理方式はエラー検出時には拡張バスにバスサイクルを発生させない方式であるため、必要情報をチェックした後に拡張バスサイクルを開始させており、共通バスサイクルの開始から拡張バスサイクルの開始までには3クロック周期の遅れが必要であった。

【0018】

【発明が解決しようとする課題】上述したように、従来のバス拡張制御装置のエラー処理方式は、ライトデータのエラーを検出した場合でも拡張バスにはバスサイクルを発生させないようにアクセス要求の中継を抑止する方式のため、エラー検出時に共通バスサイクルを速やかに終了させることができるが、正常動作時には各必要情報の到着を待って処理するために遅延時間が大きく、処理速

5

度が遅くなるという欠点があった。なお、処理速度を速めるため単純に動作クロック周波数を高くする方法は、高速なハードウェア素子を必要とし高価になるという問題点がある。

【0019】本発明の目的は、拡張バスに対するライト要求の正常動作時に、共通バスサイクルの開始から拡張バスサイクルの開始までに要する時間を短縮できるバス拡張制御装置のエラー処理方式を提供することにある。

【0020】

【課題を解決するための手段】本発明のバス拡張制御装置のエラー処理方式は、拡張バスに接続されている入出力装置や記憶装置に対する中央処理装置からのアクセス要求を中継する同期式のバス拡張制御装置のエラー処理方式において、前記中央処理装置から受け取ったアドレスにエラーが検出されなければ前記アドレスを前記拡張バスに転送して拡張バスサイクルを開始し、前記アドレスに続き前記中央処理装置から受け取ったライトデータにエラーを検出した場合は、前記ライトデータの拡張バスへの転送を抑制したまま前記ライトデータと共に受け取ったライト指定をリード指定に変換して出力し、前記拡張バスサイクルをリードサイクルとして終了させるよう構成されている。

【0021】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0022】図1は、本発明を用いたバス拡張制御装置の一実施例のブロック図である。

【0023】図1に示すバス拡張制御装置は、図6に示した従来のバス拡張制御装置と同様に、アドレス信号インタフェース10と、データ信号インタフェース20と、制御信号インタフェース30と、バスタイミング変換部40と、エラー検出部50とを備えており、バスタイミング変換部40と制御信号インタフェース30との間に、エラー検出部50がエラーを検出したときはバスタイミング変換部40からのライト指定をリード指定に変換するリードライト変換部60を備えて構成されている。図6と同一符号のアドレス信号インタフェース10、データ信号インタフェース20、制御信号インタフェース30及びエラー検出部50は、従来装置と同じ構成で同一の動作をするが、バスタイミング変換部40は従来装置のバスタイミング変換部40aとは異なり、リクエストアドレスのエラーチェックに異常がなければ、ライトデータのエラーチェックを待たずにアドレス信号インタフェース10、制御信号インタフェース30に対して制御信号を出力し、拡張バスサイクルを始動させる。エラー検出部50の出力はエラー検出信号線51を介してバスタイミング変換部40及びリードライト変換部60に供給されており、リードライト変換部60は、エラー検出信号線51からエラー検出を示す“0”を受け取ると、リード/ライト中継線45を介してバスタイ

6

ミング変換部40から受け取ったライト指定を示す“0”をリード指定を示す“1”に変換し、リードライト変換出力線61に出力する。なお、リードライト変換部60は、例えばインバータとオアゲート又はアンドゲートとインバータで構成され、エラー検出信号線51が“1”の正常時には、リード/ライト中継線45の状態をそのままリードライト変換出力線61に出力する。

【0024】次に、図1のバス拡張制御装置の動作を説明する。まず最初に、中央処理装置からのライト要求におけるライトデータにエラーを検出した場合のエラー処理動作について、図2の波形図を参照して説明する。

【0025】v1タイミングに、共通バスアドレス線11からリクエストアドレスを、共通バスサイクル開始制御線41からバスサイクル開始の“0”を受け取り、v2タイミングに、共通バスデータ線21からライトデータを、共通バスリード/ライト制御線42からライト指定の“0”を受け取る。エラー検出部50は、v2タイミングまでにリクエストアドレスのエラーチェックを、v3タイミングまでにライトデータのエラーチェックを行う。リクエストアドレスにエラーを検出なかった場合、v3タイミングまではエラー検出信号線51に“1”が出力されているため、バスタイミング変換部40は、v3タイミングにアドレス出力制御線13及び制御信号出力制御線46に“0”を出力し、拡張バスアドレス線12にリクエストアドレスを、拡張バスサイクル開始制御線31に拡張バスサイクル開始を指示する“0”を出力する。このとき、拡張バスリード/ライト制御線32にはリード指定の“1”が出力される。

【0026】エラー検出部50がライトデータのエラーを検出すると、v3タイミングにエラー検出信号線51に“0”を出力してバスタイミング変換部40及びリードライト変換部60に通知する。バスタイミング変換部40は、v3タイミングに続いてv4タイミングには、データ方向制御線24に“1”を出力し、リード/ライト中継線45にはライト指定の“0”を出力するが、エラー検出信号線51が“0”のためデータ出力制御線23に“1”を出し続け、拡張バスデータ線22へのライトデータの駆動を抑制する。又、v3タイミングの後、リードライト変換部60がエラー検出信号線51の“0”を受け、リード/ライト中継線45が“0”となっても“1”に変換してリードライト変換出力線61に出力する。従って、v4タイミングにリード/ライト中継線45が“0”となっても、拡張バスリード/ライト制御線32は“1”の状態のままとなり、拡張バスにはリードサイクルが起動されたように見える。

【0027】v6タイミングになり、指定アドレスから拡張バスデータ線22にリードデータが出力され、拡張バスサイクル終了制御線33に拡張バスサイクル終了指定として“0”が出力されると、バスタイミング変換部40がこれを検出し、v7タイミングにアドレス出力制

7

御線 13 及び制御信号出力制御線 46 に“1”を出力して拡張バスの拡張バスアドレス線 12, 拡張バスサイクル開始制御線 31 及び拡張バスリード/ライト制御線 32 に対する拡張バス信号の駆動を中止し、共通バスサイクル終了制御線 43 に“0”を出力して共通バスのライトサイクルを終了させる。

【0028】以上が本実施例のバス拡張制御装置のライトデータのエラーに対するエラー処理動作であり、拡張バスに対するバスサイクルの起動を中止するのではなく、エラーを検出した場合にリードサイクルに変更することにより、誤ったライトデータの書き込みが行われないようにしてバスサイクルを終了させている。なお、リクエストアドレスにエラーを検出した場合には、拡張バスサイクルを起動することなく共通バスサイクルを終了させる。

【0029】次に、中央処理装置から連続したライト要求があり、各ライトサイクルが正常に動作した場合の動作を、図 3 の波形図を参照して説明する。

【0030】w1 タイミングから w8 タイミングまでの共通バス信号は、上述した図 2 の場合と同様である。リクエストアドレスのエラーを検出しなければ、エラー検出部 50 はエラー検出信号線 51 に“1”を出力し続けるので、バスタイミング変換部 40 は、w3 タイミングに、アドレス出力制御線 13 及び制御信号出力制御線 46 に“0”を出力し、拡張バスアドレス線 12, 拡張バスサイクル開始制御線 31 及び拡張バスリード/ライト制御線 32 に、図 3 に示す拡張バス信号を駆動する。ライトデータにもエラーがなければ、エラー検出信号線 51 は“1”の状態を継続するため、w4 タイミングになると、バスタイミング変換部 40 はデータ方向制御線 24 に“1”を、データ出力制御線 23 に“0”を、リード/ライト中継線 45 にはライト指定の“0”を出力し、拡張バスデータ線 22 にライトデータを駆動し、拡張バスの各制御線 (31, 32, 33) はライトサイクルの動作状態となる。書き込みが終了し、w6 タイミングに拡張バスサイクル終了制御線 33 からバスサイクル終了指定の“0”を受け取ると、バスタイミング変換部 40 は、w7 タイミングに、アドレス出力制御線 13, データ出力制御線 23 及び制御信号出力制御線 46 に“1”を出力し、すべての拡張バス信号を停止させると共に、共通バスサイクル終了制御線 43 に“0”を出力して共通バスのライトサイクルを終了させる。

8

【0031】w9 タイミングに、再び共通バスに対してライトアクセスが開始されると、上述したタイミングで拡張バスにライトサイクルを発生する。このように、共通バスに対するアクセス要求から拡張バスにライトサイクルが生成されるまでの時間は、従来の方式に比べて短縮される。

【0032】

【発明の効果】以上説明したように、本発明のバス拡張制御装置のエラー処理方式によれば、拡張バスサイクルの開始を、ライトデータのエラーチェックの結果を待たずに行えるため、拡張バスに対する正常なアクセスを高速化できる効果がある。

【図面の簡単な説明】

【図 1】本発明を用いたバス拡張制御装置の一実施例の構成を示すブロック図である。

【図 2】本実施例のエラー処理動作を説明するための波形図である。

【図 3】本実施例のライト要求に対する正常動作を説明するための波形図である。

【図 4】拡張バスを使用する情報処理装置の一般的な構成を示すブロック図である。

【図 5】同期式バスの一般的な動作を説明するための波形図である。

【図 6】従来のバス拡張制御装置の構成を示すブロック図である。

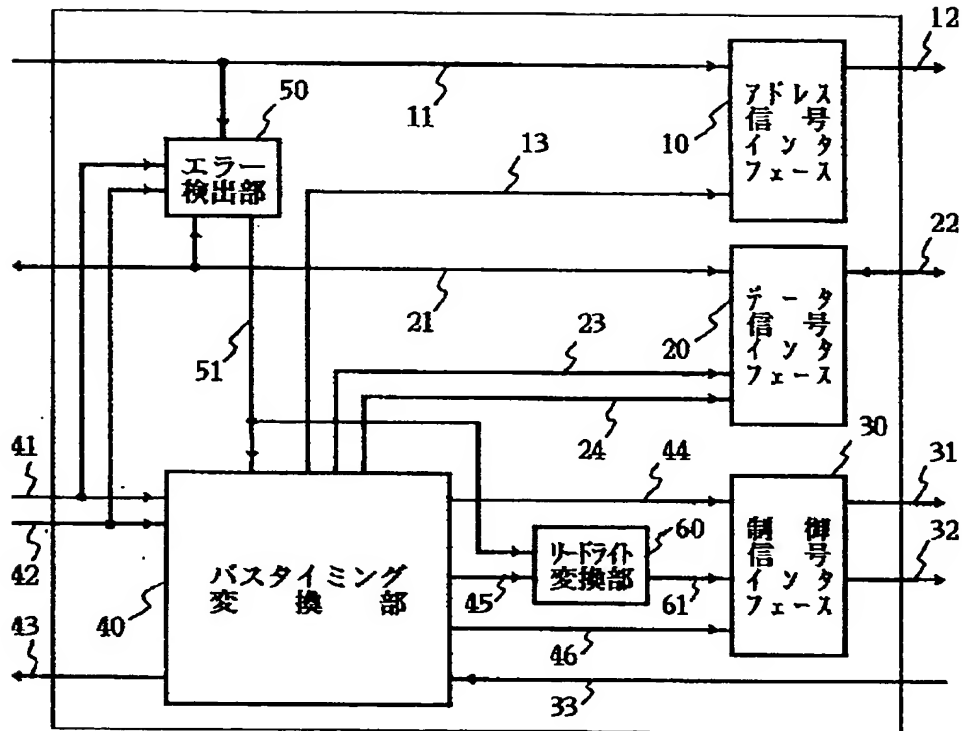
【図 7】従来のバス拡張制御装置のエラー処理動作を説明するための波形図である。

【図 8】従来のバス拡張制御装置の正常ライト動作を説明するための波形図である。

【符号の説明】

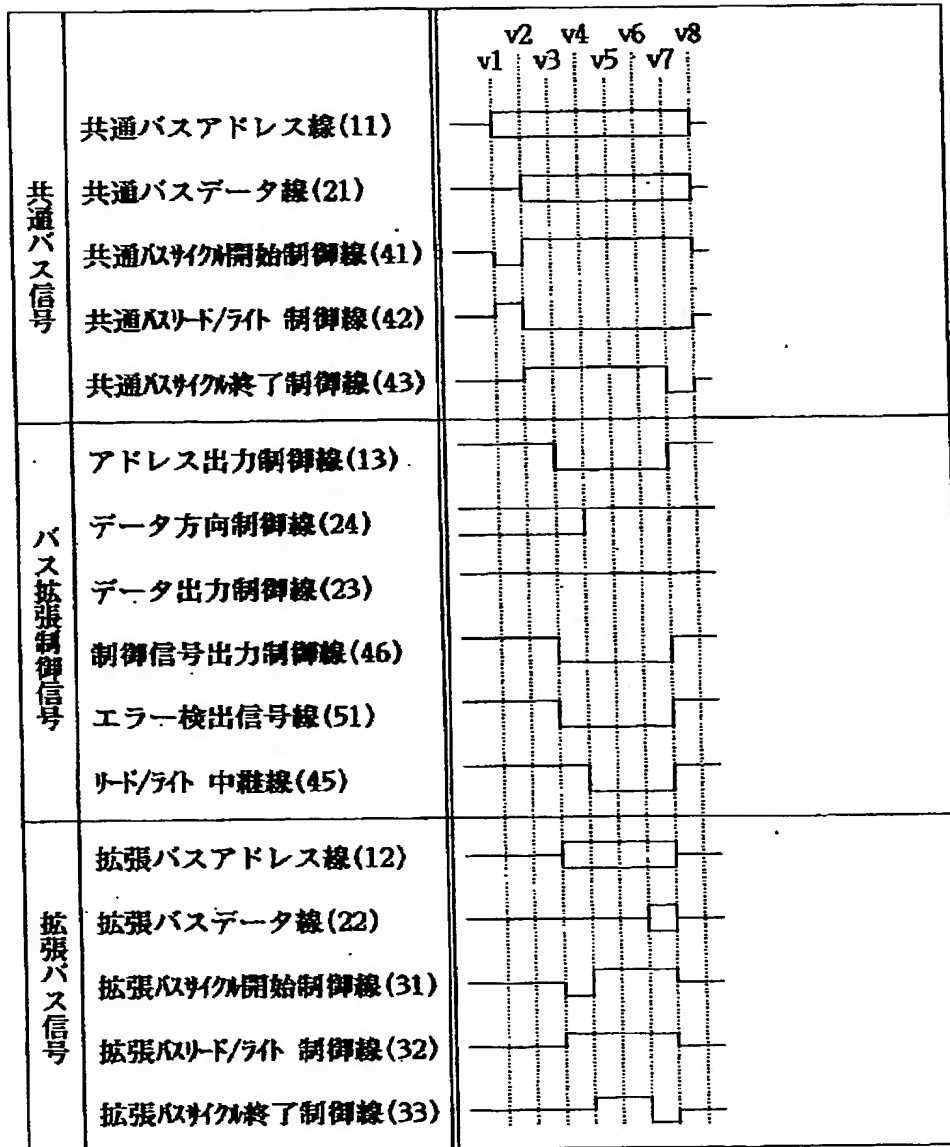
- 1 中央処理装置
- 2 主記憶装置
- 3 バス拡張制御装置
- 4 入出力装置または記憶装置
- 5 共通バス
- 6 拡張バス
- 10 アドレス信号インタフェース
- 20 データ信号インタフェース
- 30 制御信号インタフェース
- 40, 40a バスタイミング変換部
- 50 エラー検出部
- 60 リードライト変換部

【図1】

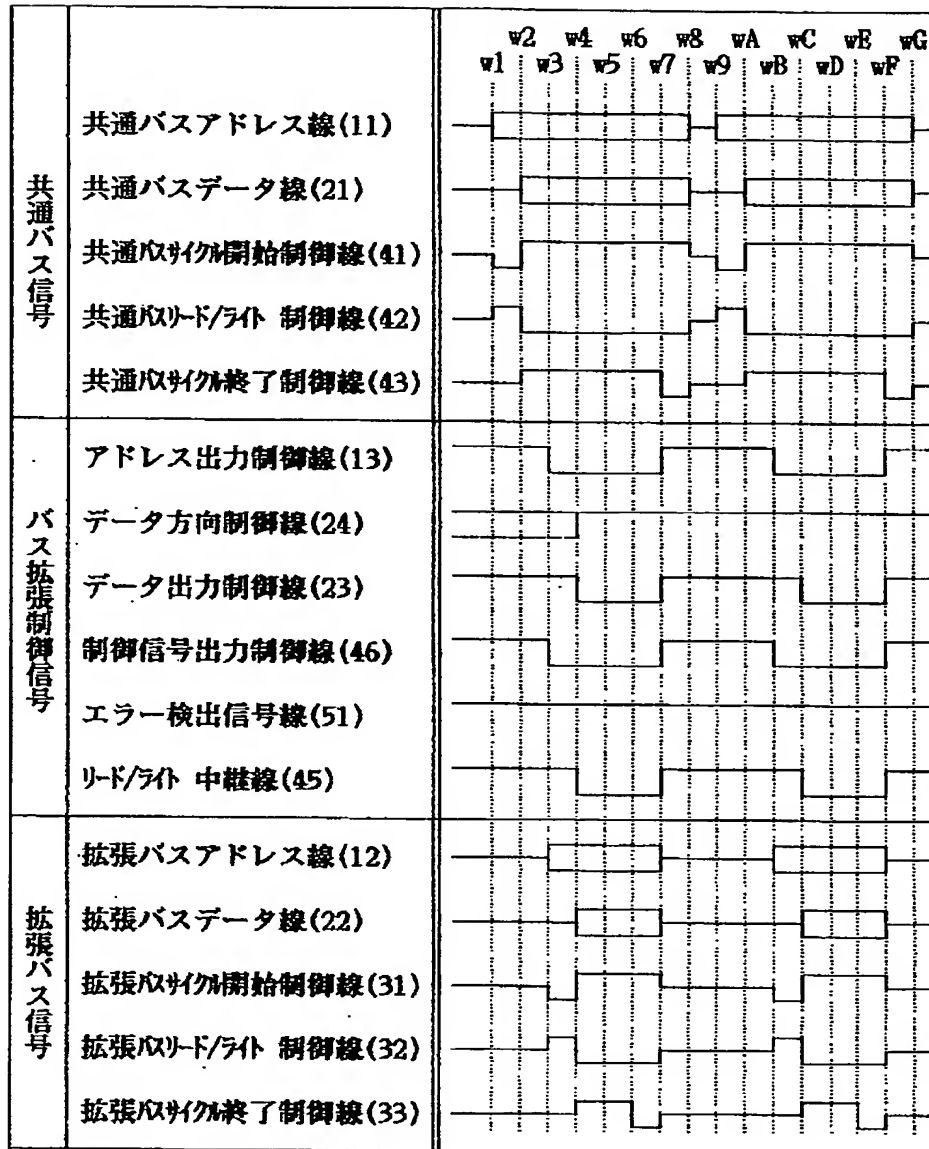


- 11 共通バスアドレス線
- 12 拡張バスアドレス線
- 13 アドレス出力制御線
- 21 共通バスデータ線
- 22 拡張バスデータ線
- 23 データ出力制御線
- 24 データ方向制御線
- 31 拡張バスサイクル開始制御線
- 32 拡張バスリード/ライト制御線
- 33 拡張バスサイクル終了制御線
- 41 共通バスサイクル開始制御線
- 42 共通バスリード/ライト制御線
- 43 共通バスサイクル終了制御線
- 45 リード/ライト中継線
- 46 制御信号出力制御線
- 51 エラー検出信号線

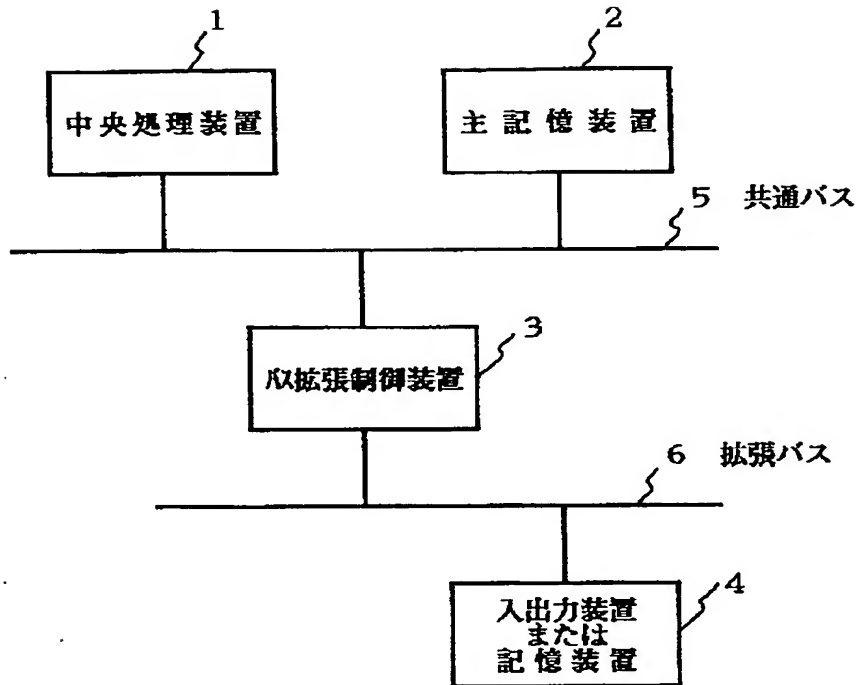
【図2】



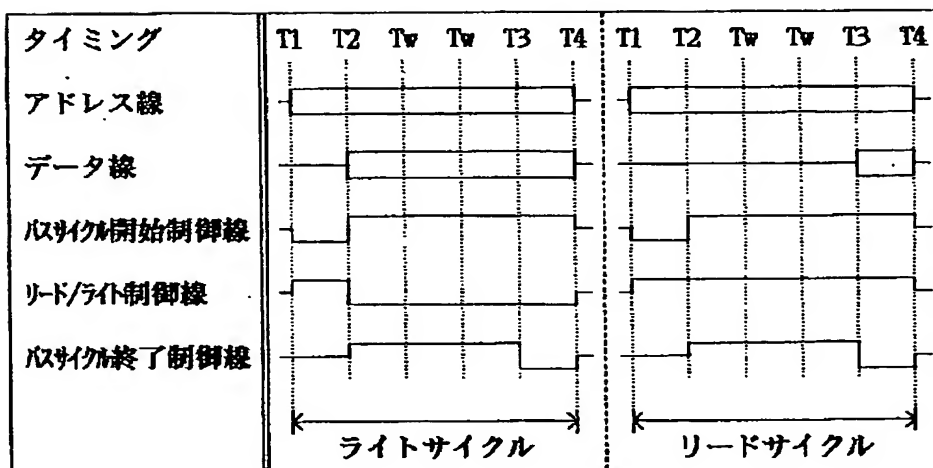
【図3】



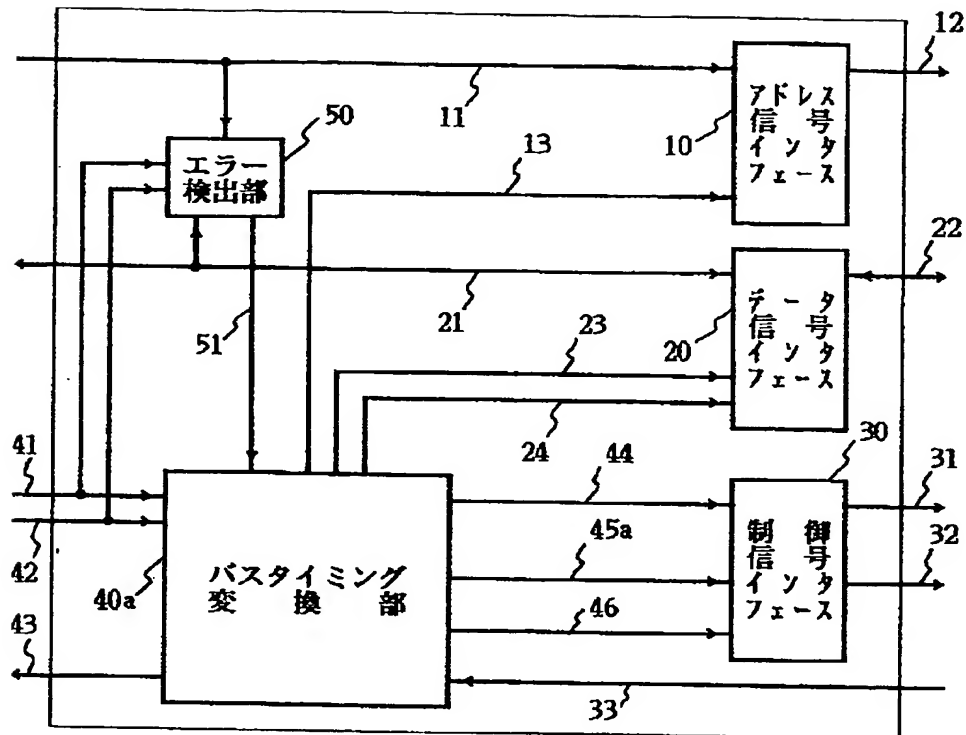
【図4】



【図5】

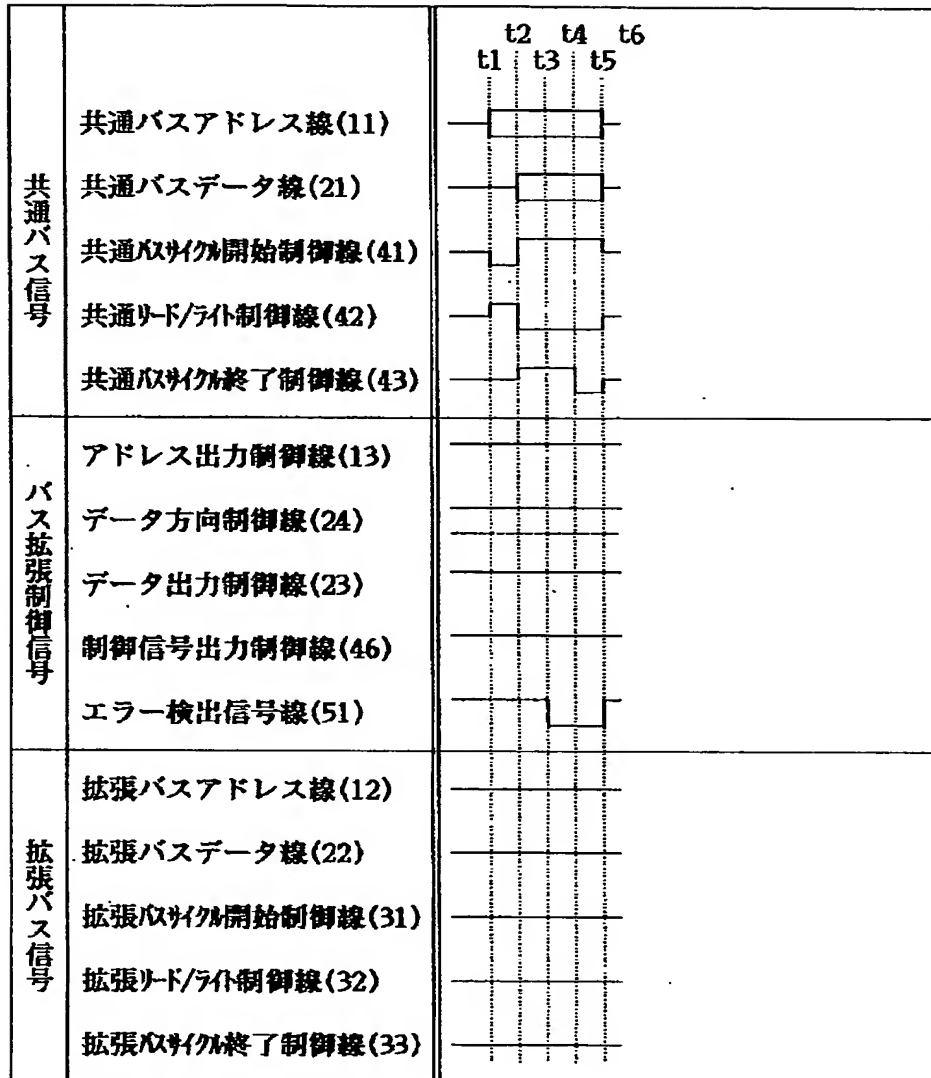


【図6】



- 11 共通バスアドレス線
- 12 拡張バスアドレス線
- 13 アドレス出力制御線
- 21 共通バスデータ線
- 22 拡張バスデータ線
- 23 データ出力制御線
- 24 データ方向制御線
- 31 拡張バスサイクル開始制御線
- 32 拡張バスリード/ライト制御線
- 33 拡張バスサイクル終了制御線
- 41 共通バスサイクル開始制御線
- 42 共通バスリード/ライト制御線
- 43 共通バスサイクル終了制御線
- 46 制御信号出力制御線
- 51 エラー検出信号線

【図 7】



【図8】

